

SON-2192

ATL 1-30-02  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of )  
Koji KIKUCHI ) Application Branch  
Serial No. To Be Filed )  
Filed: August 28, 2001 )  
For: MANUFACTURING METHOD OF A PHASE )  
SHIFT MASK, METHOD OF FORMING A )  
RESIST PATTERN AND MANUFACTURING )  
METHOD OF A SEMICONDUCTOR DEVICE )

JC997 U.S. PRO  
09/939773  
08/28/01

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
Washington, D.C. 20231

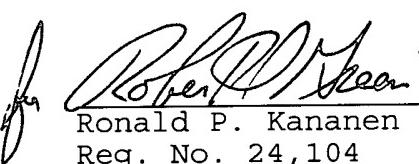
Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2000-261395 filed August 30, 2000

In support of this claim, filed herewith is a certified copy of said original foreign applications.

Respectfully submitted,

  
Ronald P. Kananen  
Reg. No. 24,104

Dated: August 28, 2001

RADER, FISHMAN & GRAUER P.L.L.C.  
1233 20<sup>TH</sup> Street, NW  
Suite 501  
Washington, DC 20036  
202-955-3750-Phone; 202-955-3751 - Fax  
Customer No. 23353

S01P1196 US00

JC997 U.S. PTO  
09/939773



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2000年 8月30日

出願番号  
Application Number:

特願2000-261395

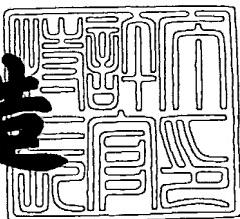
出願人  
Applicant(s):

ソニー株式会社

2001年 5月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3043911

【書類名】 特許願  
【整理番号】 0000575903  
【提出日】 平成12年 8月30日  
【あて先】 特許庁長官 及川 耕造 殿  
【国際特許分類】 G06F 17/50  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 菊地 晃司  
【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社  
【代表者】 出井 伸之  
【代理人】  
【識別番号】 100082762  
【弁理士】  
【氏名又は名称】 杉浦 正知  
【電話番号】 03-3980-0339  
【手数料の表示】  
【予納台帳番号】 043812  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9708843  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相シフトマスクの製造方法、レジストパターンの形成方法および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 露光に用いられる露光光学系の光学条件およびマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記マスク構造が得られるようにマスク製造を行うようにした

ことを特徴とする位相シフトマスクの製造方法。

【請求項2】 上記光学条件には少なくとも開口数およびパーシャルコピーレンスファクターが含まれる

ことを特徴とする請求項1記載の位相シフトマスクの製造方法。

【請求項3】 上記位相シフトマスクはレベンソン位相シフトマスクであることを特徴とする請求項1記載の位相シフトマスクの製造方法。

【請求項4】 上記レベンソン位相シフトマスクは基板掘り込み型であり、上記マスク構造は基板掘り込み量により規定される

ことを特徴とする請求項3記載の位相シフトマスクの製造方法。

【請求項5】 上記レベンソン位相シフトマスクは位相シフタ付与型であり、上記マスク構造は位相シフタの厚さにより規定される

ことを特徴とする請求項1記載の位相シフトマスクの製造方法。

【請求項6】 位相シフトマスクを用いて露光を行うようにしたレジストパターンの形成方法において、

露光に用いられる露光光学系の光学条件および上記位相シフトマスクのマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑

えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記露光光学系の光学条件を上記求められた光学条件に設定するとともに、上記求められたマスク構造が得られるように上記位相シフトマスクを製造し、これらの露光光学系および位相シフトマスクを用いて露光を行うようにした

ことを特徴とするレジストパターンの形成方法。

【請求項7】 上記光学条件には少なくとも開口数およびパーシャルコピーレンスファクターが含まれる

ことを特徴とする請求項6記載のレジストパターンの形成方法。

【請求項8】 上記位相シフトマスクはレベンソン位相シフトマスクであることを特徴とする請求項6記載のレジストパターンの形成方法。

【請求項9】 上記レベンソン位相シフトマスクは基板掘り込み型であり、上記マスク構造は基板掘り込み量により規定される

ことを特徴とする請求項8記載のレジストパターンの形成方法。

【請求項10】 上記レベンソン位相シフトマスクは位相シフタ付与型であり、上記マスク構造は位相シフタの厚さにより規定される

ことを特徴とする請求項8記載のレジストパターンの形成方法。

【請求項11】 位相シフトマスクを用いて露光を行うことによりレジストパターンを形成する工程を有する半導体装置の製造方法において、

露光に用いられる露光光学系の光学条件および上記位相シフトマスクのマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記露光光学系の光学条件を上記求められた光学条件に設定するとともに、上記求められたマスク構造が得られるように上記

位相シフトマスクを製造し、これらの露光光学系および位相シフトマスクを用いて露光を行うようにした

ことを特徴とする半導体装置の製造方法。

【請求項12】 上記光学条件には少なくとも開口数およびパーシャルコビーレンスファクターが含まれる

ことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 上記位相シフトマスクはレベンソン位相シフトマスクである

ことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項14】 上記レベンソン位相シフトマスクは基板掘り込み型であり、上記マスク構造は基板掘り込み量により規定される

ことを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 上記レベンソン位相シフトマスクは位相シフタ付与型であり、上記マスク構造は位相シフタの厚さにより規定される

ことを特徴とする請求項13記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、位相シフトマスクの製造方法、レジストパターンの形成方法および半導体装置の製造方法に関し、特に、いわゆるレベンソン位相シフトマスクの製造、レベンソン位相シフトマスクを用いて露光を行うレジストパターンの形成およびレベンソン位相シフトマスクを用いて露光を行うことによりレジストパターンを形成する半導体装置の製造に適用して好適なものである。

##### 【0002】

##### 【従来の技術】

半導体デバイス製造等におけるリソグラフィープロセスは、パターンの微細化の進展に伴い、露光に用いられる光の波長から決定される解像限界を超えた高解像度が要求されている。

##### 【0003】

近年、露光波長以下の寸法の微細パターンの形成を可能するために、透過光の位相変調機能を持たせ、光の干渉を利用して解像力を向上させる位相シフトマスクと呼ばれる高解像度露光用フォトマスクを用いる技術が開発されている。この位相シフトマスクには、隣接するマスクパターンに対応するマスク開口部を透過する光を互いに反位相とするレベンソン型、遮光部に透過性を持たせ、かつその透過光の位相をマスク開口部の透過光の位相に対して反位相とするハーフトン型等、いくつかの種類がある。これらのうち、レベンソン位相シフトマスクはすでにDRAM、高速LSI等の製造に実用化されており、有用性が確認されている。

#### 【0004】

このレベンソン位相シフトマスクには、隣接するマスクパターンに対応するマスク開口部を透過する光を互いに反位相るために、マスク基板である石英基板を掘り込んだ基板掘り込み型と、石英基板上に位相シフタを形成した位相シフタ付与型とがある。

#### 【0005】

基板掘り込み型レベンソン位相シフトマスクの構造の一種にデュアルトレンチ(Dual Trench)構造がある。このデュアルトレンチ構造では、透過する光の位相が互いに反位相、すなわち位相が $0^\circ$ 、 $180^\circ$ 両方の領域について堀り込みを行う。これは、位相が $0^\circ$ 、 $180^\circ$ の両方の領域を掘り込むことにより、 $0^\circ$ の位相を持った透過光と $180^\circ$ の位相を持った透過光とのコントラストの差が小さくなり、パターン転写時の位置ずれを防ぐことができるからである。この基板掘り込み型レベンソン位相シフトマスクの構造の具体例を図7に示す。図7において、符号101は石英基板、102はマスクパターン、103、104は掘り込み部を示す。

#### 【0006】

図8および図9は位相シフタ付与型レベンソン位相シフトマスクの構造の具体例を示し、図8は位相シフタ上置き型、図9は位相シフタ下置き型である。図8および図9において、符号201は石英基板、202はマスクパターン、203は位相シフタを示す。

## 【0007】

## 【発明が解決しようとする課題】

上述の従来のレベンソン位相シフトマスクを用いて露光を行う場合には、露光時に生じる焦点合わせのずれ（デフォーカス）による $0^\circ$ 、 $180^\circ$ の位相の透過光のコントラストの変動が互いに異なるため、デフォーカスによりパターンの転写の位置ずれが発生してしまう。パターン転写を行うウエハ表面の段差、露光装置に存在する各種の誤差、マスクの製造時の誤差（例えば、基板に掘り込み部を形成するためのエッチングの誤差）等により、ある程度のデフォーカスは必ず起こり得るため、予想されるデフォーカス領域内でパターンの転写位置ずれを小さくする必要がある。

## 【0008】

しかしながら、これまで、パターンの転写の位置ずれを最小化するための具体的な方策は提案されていないのが実状であった。

## 【0009】

したがって、この発明が解決しようとする課題は、位相シフトマスクを用いて露光を行う場合に、リソグラフィープロセス裕度を確保しつつ、転写パターンの位置ずれを最小化し、転写位置精度の向上を図ることができる位相シフトマスクの製造方法、そのような位相シフトマスクを用いて露光を行うレジストパターンの形成方法およびそのような位相シフトマスクを用いて露光を行うことによりレジストパターンを形成する半導体装置の製造方法を提供することにある。

## 【0010】

## 【課題を解決するための手段】

上記課題を解決するために、この発明は、

露光に用いられる露光光学系の光学条件およびマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記マスク構造が得られるようにマスク製造を行うようにした

ことを特徴とする位相シフトマスクの製造方法である。

【0011】

また、この発明は、

位相シフトマスクを用いて露光を行うようにしたレジストパターンの形成方法において、

露光に用いられる露光光学系の光学条件および上記位相シフトマスクのマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記露光光学系の光学条件を上記求められた光学条件に設定するとともに、上記求められたマスク構造が得られるように上記位相シフトマスクを製造し、これらの露光光学系および位相シフトマスクを用いて露光を行うようにした

ことを特徴とするものである。

【0012】

また、この発明は、

位相シフトマスクを用いて露光を行うことによりレジストパターンを形成する工程を有する半導体装置の製造方法において、

露光に用いられる露光光学系の光学条件および上記位相シフトマスクのマスク構造と露光により転写するパターンの位置ずれとの関係を求め、

マスク製造時の誤差を考慮して、上記パターンの位置ずれが所要の範囲内に抑えられるような上記光学条件およびマスク構造を求め、

上記求められた光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるか検証を行い、

上記検証の結果が良好な場合に、上記露光光学系の光学条件を上記求められた

光学条件に設定するとともに、上記求められたマスク構造が得られるように上記位相シフトマスクを製造し、これらの露光光学系および位相シフトマスクを用いて露光を行うようにした

ことを特徴とするものである。

#### 【0013】

この発明における露光光学系の光学条件およびマスク構造の決定方法の概要をフローチャートで表すと図1に示すようになる。

#### 【0014】

露光光学系の光学条件の代表的なものは、開口数（N A）およびパーシャルコヒーレンスファクター（ $\sigma$ ）である。ここで、パーシャルコヒーレンスファクターとは、露光装置において、照明光学系の開口数を投影光学系のマスク側の開口数で除した値をコヒーレンスと呼ぶが、このコヒーレンスが0のとき（コヒーレント照明）と $\infty$ のとき（インコヒーレント照明）との中間にある場合（パーシャルコヒーレント照明）におけるその値のことを言う。

#### 【0015】

位相シフトマスクは典型的にはレベンソン位相シフトマスクであり、これには図7に示すような基板掘り込み型のものも、図8および図9に示すような位相シフタ付与型のものも含まれる。前者の基板掘り込み型レベンソン位相シフトマスクにおけるマスク構造は基板掘り込み量により規定され、この基板掘り込み量の最適化により転写パターンの位置ずれを最小化する。また、後者の位相シフタ付与型レベンソン位相シフトマスクにおけるマスク構造は位相シフタの厚さにより規定され、この位相シフタの厚さの最適化により転写パターンの位置ずれを最小化する。

#### 【0016】

図1における適用パターンの決定は、同一形状のパターンが等間隔で規則的に配置される一様パターンのような最も単純な場合にはそのデザインルールで決定される。一方、例えば論理LSI等のようにパターンが複雑で一様でない場合には、基板掘り込み型レベンソン位相シフトマスクにあっては掘り込み部の幅や形状、位相シフタ付与型レベンソン位相シフトマスクにあっては位相シフタの幅や

形状も複雑になるが、これらの幅や形状により、転写パターンの位置ずれやリソグラフィープロセス裕度が異なるため、パターン全面において位置ずれを防ぎ、しかも、リソグラフィープロセス裕度を確保することができるように光学条件およびマスク構造の最適化を図ることが必要である。このためには、パターンを分類して同一パターン形状とみなせるグループに分け、これらのグループ毎に光学条件およびマスク構造を最適化し、それらのうち最も厳しい条件を満たすように光学条件およびマスク構造を設定することにより、各グループのパターンに対して光学条件およびマスク構造を最適化することができる。

#### 【0017】

上述のように構成されたこの発明によれば、マスク製造時の誤差を考慮して、パターンの位置ずれが所要の範囲内に抑えられるような光学条件およびマスク構造を求め、これらの光学条件およびマスク構造に対して、所要の露光裕度および焦点深度が得られるまでこの手続きを繰り返すことにより、リソグラフィープロセス裕度を確保しつつ、パターンの位置ずれを最小化するのに最適な光学条件およびマスク構造を得ることができる。

#### 【0018】

##### 【発明の実施の形態】

以下、この発明の一実施形態について図面を参照しながら説明する。

この一実施形態においては、基板掘り込み型レベンソン位相シフトマスクにおいて、マスクの断面構造が露光用の光に与える影響を考慮したシミュレーションにより適切な基板掘り込み量および位相差を決定する場合について説明する。ここでは、マスクパターンとして $0.26 \mu m$ ピッチのライン・アンド・スペースパターン (Line and Space pattern) を考える。

#### 【0019】

図2にシミュレーションを行った基板掘り込み型レベンソン位相シフトマスクの構造を示す。図2において、符号1は石英基板、2は例えばクロム (Cr) 膜からなるマスクパターン、3、4は掘り込み部を示す。この場合、掘り込み部4を掘り込み部3より深く形成する。

#### 【0020】

図3にシミュレーション結果を示す。図3において、横軸は図2の深い方の掘り込み部4の掘り込み量、縦軸は $-0.3 \sim 0.3 \mu\text{m}$ を必要焦点深度とした場合の転写パターンの位置ずれ量を示す。シミュレーションは、掘り込み部4と掘り込み部3との掘り込み量の差を5水準に変えて行った。ただし、図3においては、掘り込み量の差を位相差で表している。位相差を $\phi$  (°)、露光に用いる光の波長を $\lambda$  (nm)、ガラス部の屈折率を1.51とすると、掘り込み量の差は $(\phi/360) \times \lambda / (1.51 - 1)$  (nm)で表される。露光装置としては、開口数NA = 0.60でパーシャルコヒーレンスファクター $\sigma = 0.53$ のKrFスキャナーを用いた。この場合、 $\lambda = 248\text{ nm}$ である。

#### 【0021】

ところで、 $0.13\mu\text{m}$ ルール世代で用いられる石英基板エッチング装置は、5インチサイズのマスク面内で $\pm 4\text{ nm}$ のエッティング誤差があると予想される。したがって、図3中、横軸の8 nmの範囲で位置ずれを抑える必要がある。図3を見ると、この要求を満たすためには、位相差が $169^\circ$ の曲線に着目し、深い方の掘り込み部4の掘り込み量を620 nmとすればよいことが分かり、このとき浅い方の掘り込み部3の掘り込み量は $(169/360) \times 248 / (1.51 - 1) = 230\text{ nm}$ となる。これより、転写パターンの位置ずれを最小化するためには、掘り込み部4の掘り込み量を620 nm、掘り込み部3の掘り込み量を390 nmとするのが最適であることが分かる。

#### 【0022】

図4は、必要焦点深度範囲内におけるパーシャルコヒーレンスファクター $\sigma$ と位置ずれとの関係を示す。 $\sigma$ は3水準に変えた。図4より、 $\sigma$ が小さいほど位置ずれが小さくなる傾向があり、 $\sigma = 0.4$ の場合に最も位置ずれが小さくなることが分かる。したがって、使用する露光装置の露光光学系のパーシャルコヒーレンスファクター $\sigma$ を0.4に設定する。

#### 【0023】

以上のようにして基板掘り込み型レベンソン位相シフトマスクのマスク構造および露光装置の光学条件(NA、 $\sigma$ 等)を最適化したときの露光量および焦点深度の裕度のウィンドウ(EDウィンドウ)を図5に示す。図5より、露光裕度 =

12%、焦点深度 = 0.95 μm が得られており、量産に適用可能なリソグラフィープロセス裕度が得られていることが分かる。

#### 【0024】

この一実施形態によるリソグラフィープロセスをDRAMのゲート電極の形成に適用した例を図6に示す。すなわち、図6Aに示すように、あらかじめ素子分離領域が形成され、活性領域の表面にゲート酸化膜（図示せず）が形成されたシリコン基板51上にゲート電極材料となる導電層52を形成し、その上にレジスト53を塗布形成する。次に、上述のようにしてマスク構造が最適化された基板掘り込み型レベンソン位相シフトマスクおよび光学条件（NA、σ等）が最適化された露光装置を用いてレジスト53の露光を行う。この後、現像を行い、図6Bに示すように、レジストパターン54を形成する。

#### 【0025】

次に、このレジストパターン54をマスクとして導電層52を反応性イオンエッチング（RIE）等によりエッチングすることにより、図6Cに示すように、ゲート電極55を形成する。

#### 【0026】

以上のように、この一実施形態によれば、マスク構造、具体的には掘り込み部の掘り込み量を最適化した基板掘り込み型レベンソン位相シフトマスクおよび光学条件（NA、σ等）を最適化した露光装置を用いて露光を行うことにより、リソグラフィープロセス裕度を十分に確保しつつ、転写パターンの位置ずれを最小化することができ、高い転写位置精度を得ることができる。

#### 【0027】

以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

#### 【0028】

例えば、上述の一実施形態においては、0.26 μmピッチのライン・アンド・スペースパターンの形成にこの発明を適用した場合について説明したが、デザインルールはこれに限定されるものではなく、また、例えば論理LSIのパター

ン等のようにより複雑なパターンを形成する場合にもこの発明を適用することが可能である。

【0029】

また、上述の一実施形態においては、マスク基板が石英基板である場合について説明したが、マスク基板は石英基板以外のものであってもよい。

【0030】

【発明の効果】

以上説明したように、この発明によれば、レベンソン位相シフトマスクを用いて露光を行う場合に、リソグラフィープロセス裕度を確保しつつ、転写パターンの位置ずれを最小化し、転写位置精度の向上を図ることができる。そして、このようにして製造される位相シフトマスクを用いて露光を行うことによりレジストパターンを高い位置精度で形成することができる。

【図面の簡単な説明】

【図1】

この発明における露光光学系の光学条件およびマスク構造の決定方法の概要を示すフローチャートである。

【図2】

この発明の一実施形態において用いる基板掘り込み型レベンソン位相シフトマスクを示す断面図である。

【図3】

この発明の一実施形態において行ったシミュレーションの結果を示す略線図である。

【図4】

この発明の一実施形態において行ったシミュレーションの結果を示す略線図である。

【図5】

この発明の一実施形態において露光装置の光学条件およびマスク構造を最適化した後のE D ウィンドウを示す略線図である。

【図6】

この発明の一実施形態におけるパターン形成の一例を示す断面図である。

【図7】

基板掘り込み型レベンソン位相シフトマスクを示す断面図である。

【図8】

位相シフタ付与型レベンソン位相シフトマスクを示す断面図である。

【図9】

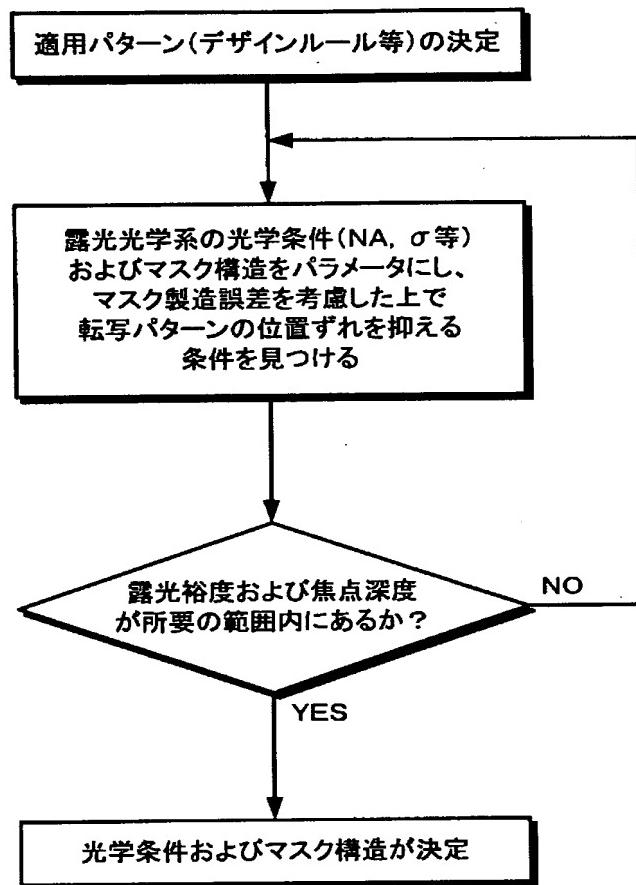
位相シフタ付与型レベンソン位相シフトマスクを示す断面図である。

【符号の説明】

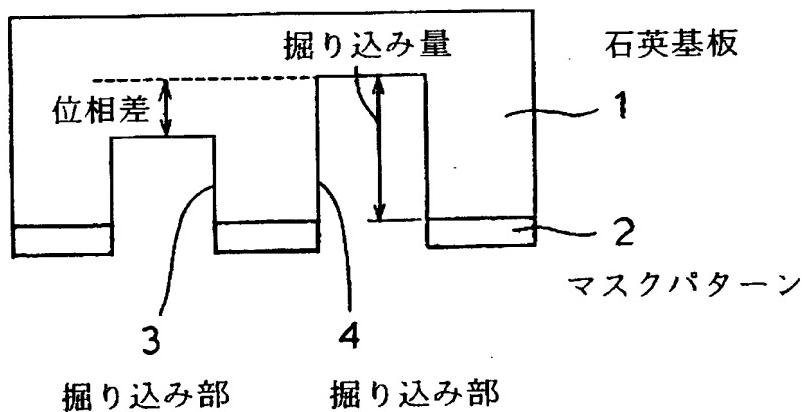
1 …… 石英基板、2 …… マスクパターン、3、4 …… 掘り込み部、5 1  
… … シリコン基板、5 3 …… レジスト、5 4 …… レジストパターン

【書類名】 図面

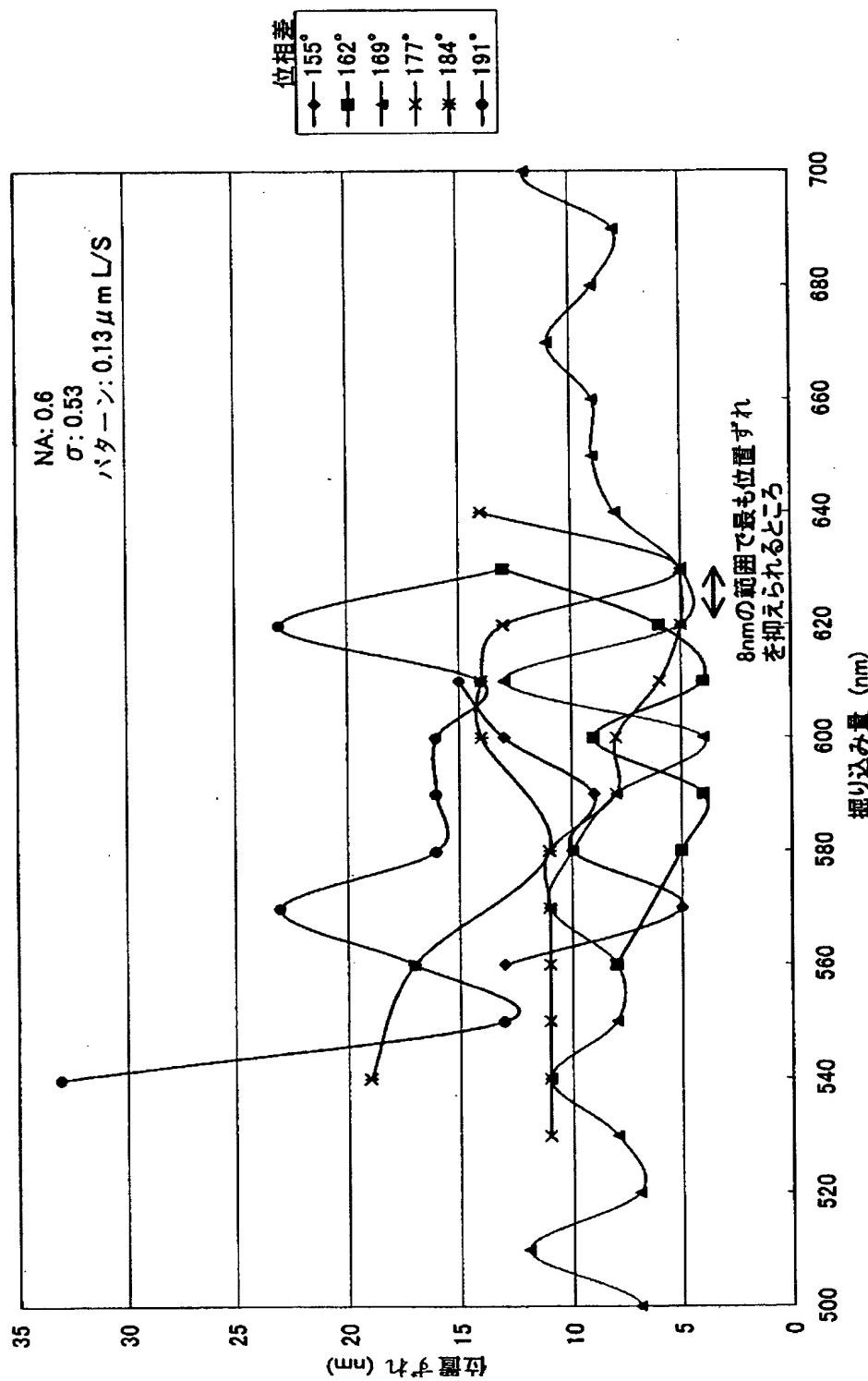
【図1】



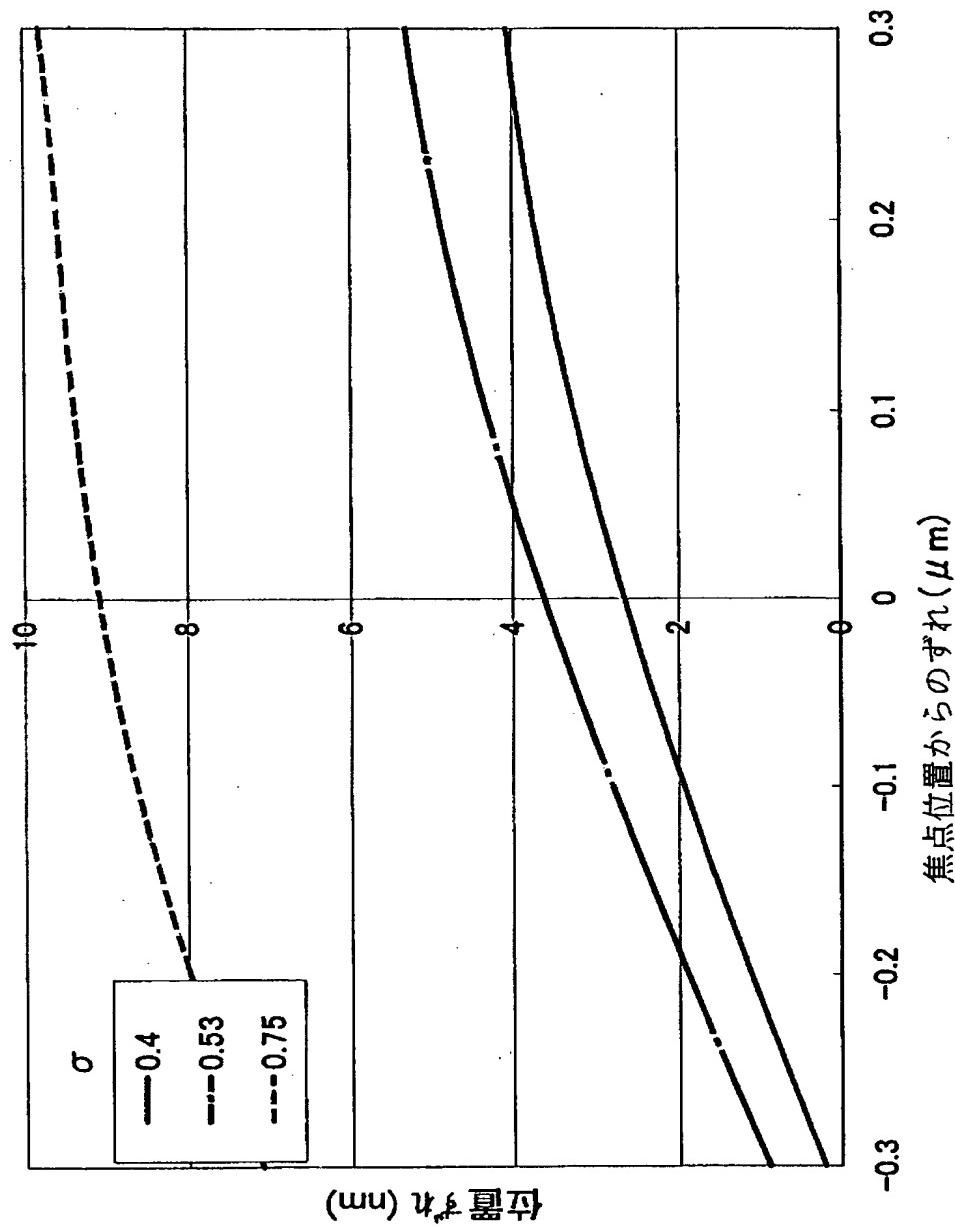
【図2】



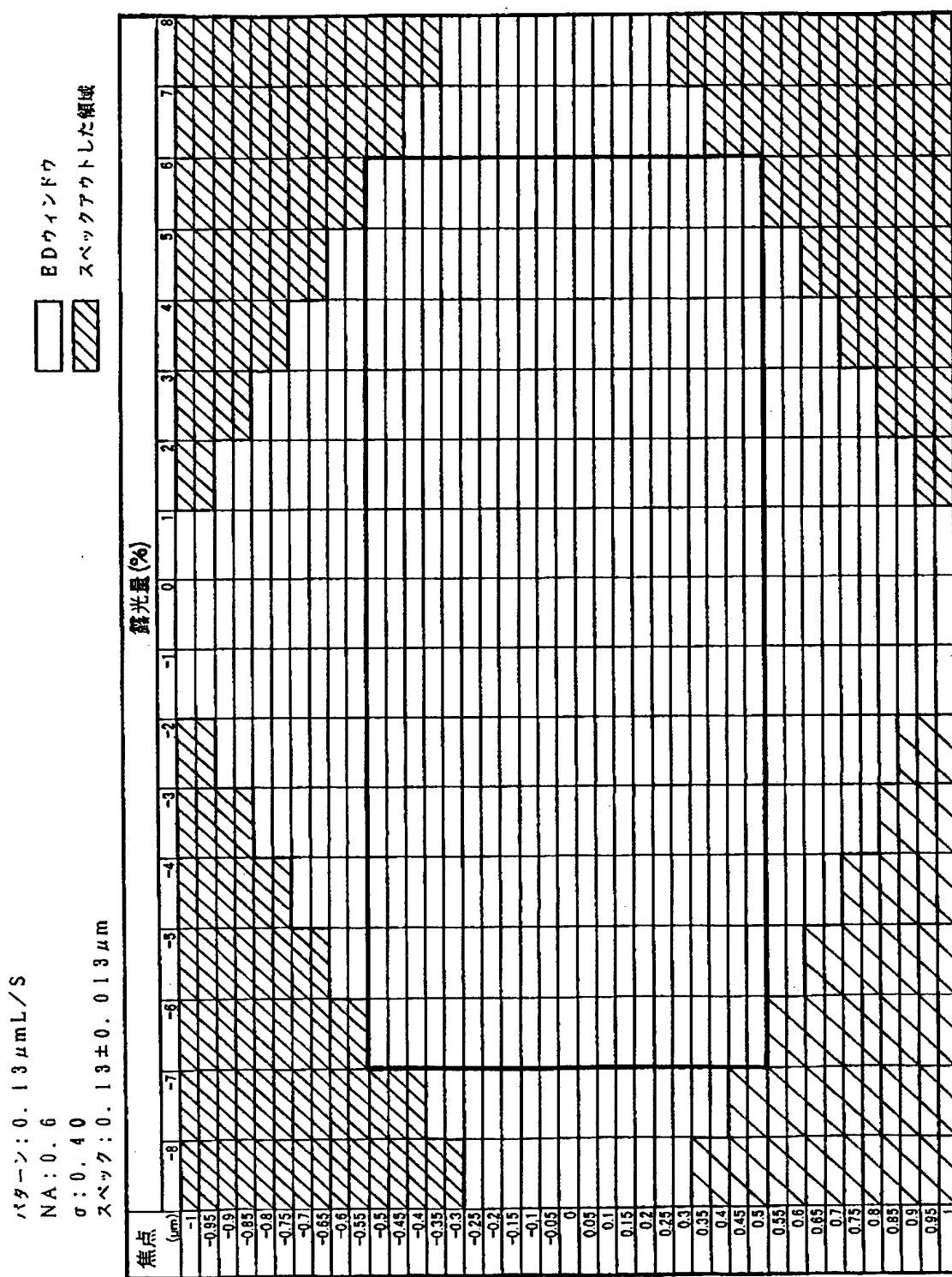
【図3】



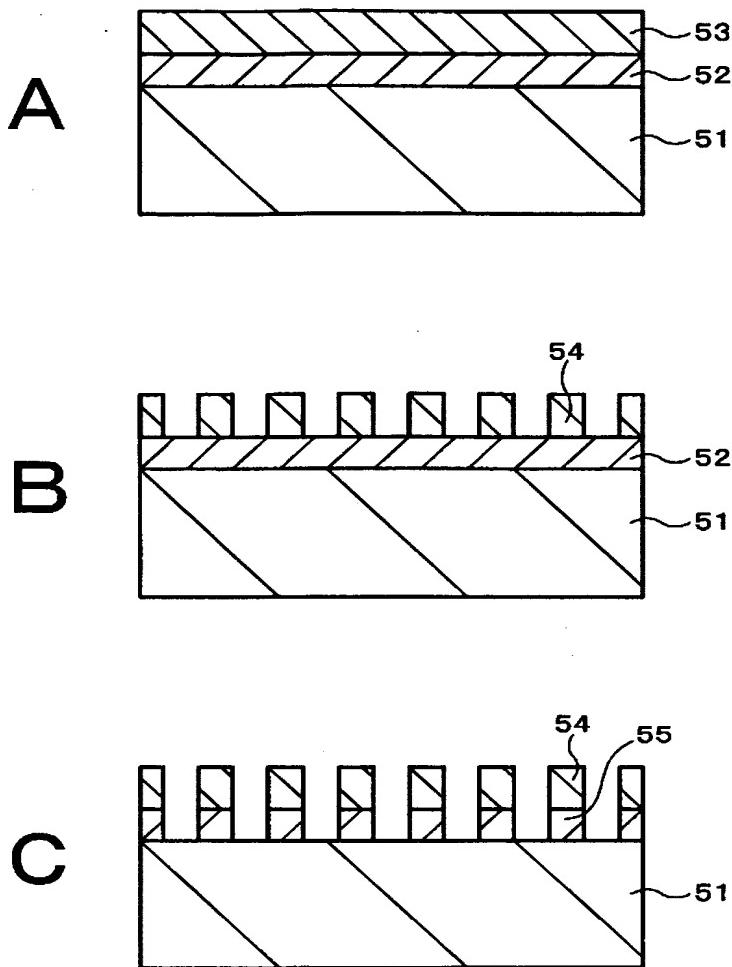
【図4】



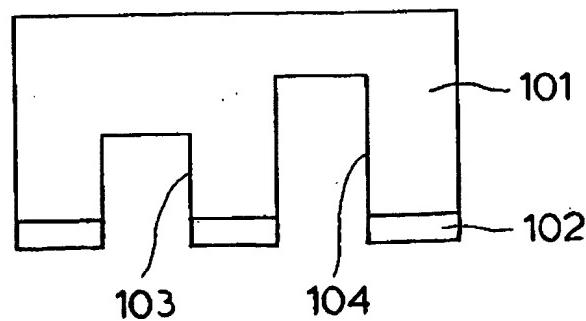
【図5】



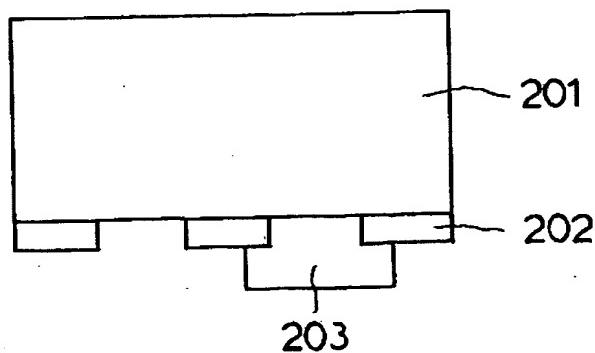
【図6】



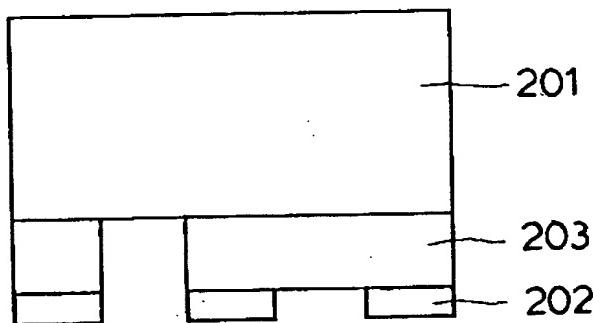
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 位相シフトマスクを用いて露光を行う場合に、リソグラフィープロセス裕度を確保しつつ、転写パターンの位置ずれを最小化し、転写位置精度の向上を図る。

【解決手段】 レベンソン位相シフトマスクを製造する場合に、露光に用いられる露光装置の光学系の光学条件（開口数、パーシャルコヒーレンスファクター等）およびマスク構造（基板掘り込み量、位相シフタの厚さ等）と露光により転写するパターンの位置ずれとの関係をシミレーションにより求め、マスク製造時の誤差を考慮して、パターンの位置ずれが必要な範囲内に抑えられるような光学条件およびマスク構造を求める。求められた光学条件およびマスク構造に対して所要の露光裕度および焦点深度が得られるか検証を行い、良好な結果が得られるまでこれを繰り返す。良好な結果が得られたら光学条件およびマスク構造を決定し、露光装置の光学条件をその条件に設定するとともに、そのマスク構造が得られるようにマスク製造を行う。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社